

Clase 20 (parte II)

Circuitos Digitales CMOS: Lógica Combinacional Estática

Universidad de Buenos Aires
Facultad de Ingeniería
86.03 - Dispositivos Semiconductores

5 de agosto de 2020

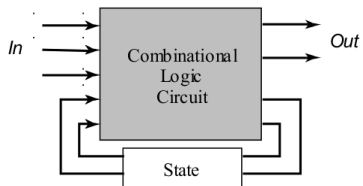
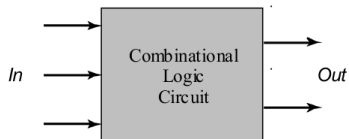
Contenido

- ▶ Introducción
- ▶ Transistores MOS como llaves
- ▶ Conexión serie-paralelo de llaves MOS
- ▶ Lógica CMOS combinacional

Lecturas recomendadas:

Baker - CMOS design, layout and simulation

1. Introducción



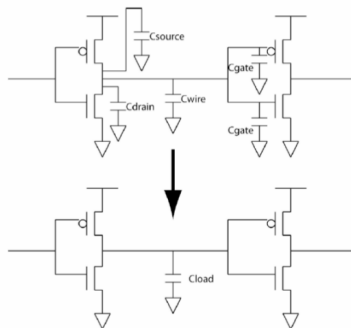
2. Hipótesis de trabajo

Supondremos en un principio que existen solo dos valores de tensión posibles:

- ▶ V_{DD} : estado alto (HIGH) o 1 lógico
- ▶ GND : estado bajo (LOW) o 0 lógico

Las transiciones entre un estado y otro (segmento de tiempo en el cual un nodo barre todos los niveles de tensión intermedios) son transitorios de conmutación y se estudiarán cuando se desee calcular el tiempo de propagación, o lo que es equivalente la máxima frecuencia de operación.

3. Inversor CMOS



Observaciones:

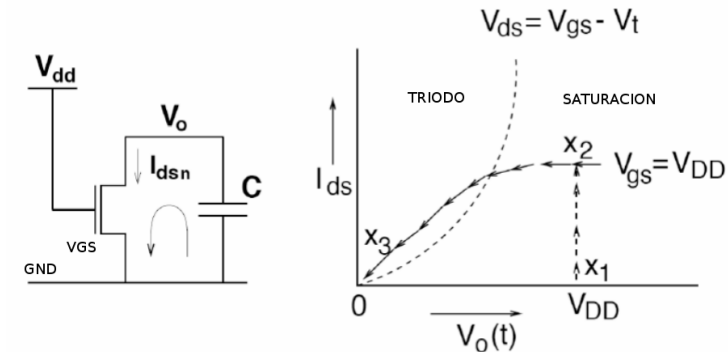
- ▶ La carga del primer inversor es puramente capacitiva:
 $C_L = C_{DN} + C_{DP} + C_W + C_{GN} + C_{GP}$
- ▶ Cuando $V_{in} = V_{DD}$ el NMOS conduce y mantiene a C_L descargado
- ▶ Cuando $V_{in} = 0$ el PMOS conduce y mantiene a C_L cargado a V_{DD}

4. El MOSFET como llave

Se puede pensar que el transistor MOS tiene dos estados de funcionamiento:

- ▶ Cuando $V_{GS} > V_T$ existe formación de canal, entonces el transistor conduce (triado o saturación) y se comporta como un camino de baja impedancia.
- ▶ Cuando $V_{GS} < V_T$ no existe canal, entonces el transistor no conduce (corte) y se comporta como un circuito abierto o de impedancia infinita.

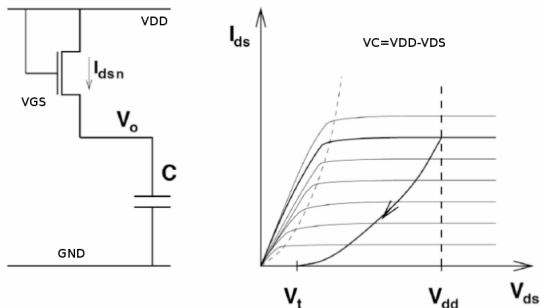
5. Descarga de un capacitor con un N-MOSFET



Observación:

- El capacitor se descarga completamente a través del transistor

6. Carga de un capacitor con un N-MOSFET



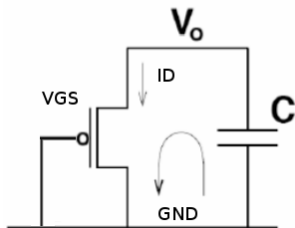
Observación:

- ▶ El capacitor se carga a $V_{DD} - V_T$

Conclusión:

El N-MOSFET impone un *cero fuerte*, pero un *uno débil*

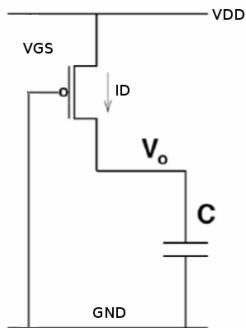
7. Descarga de un capacitor con un P-MOSFET



Observación:

- ▶ El capacitor se descarga a través del transistor hasta V_T

8. Carga de un capacitor con un P-MOSFET



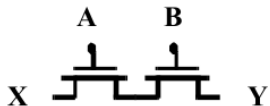
Observación:

- ▶ El capacitor se carga a V_{DD}

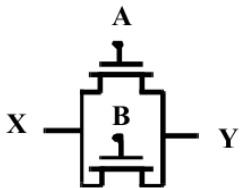
Conclusión:

El P-MOSFET impone un *uno fuerte*, pero un *ceró débil*

9. Conexión serie-paralelo de N-MOSFETs

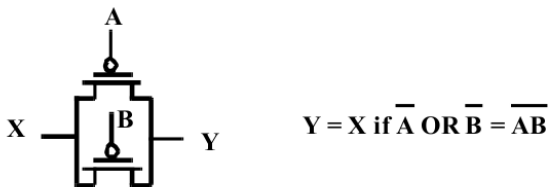
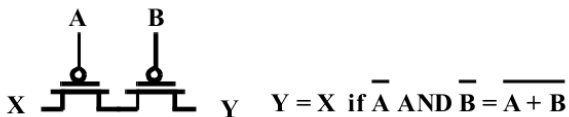


$Y = X$ if A and B

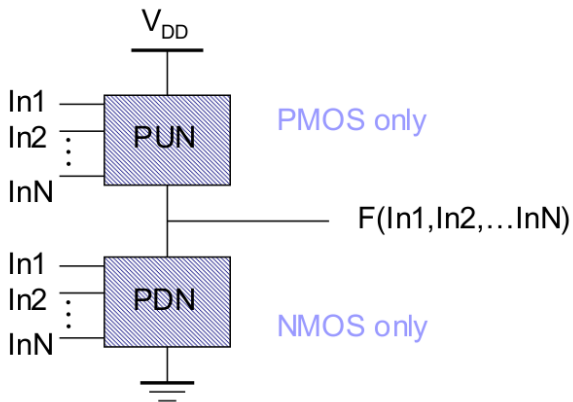


$Y = X$ if A OR B

10. Conexión serie-paralelo de P-MOSFETs



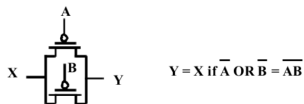
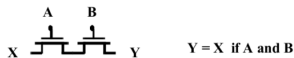
11. CMOS: PUN + PDN



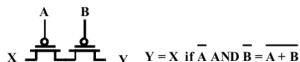
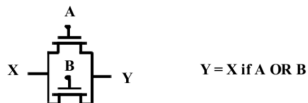
12. Complementariedad

Para evitar que exista un camino de conducción entre VDD y GND se definen dos grupos de complementariedad:

Grupo *productos* :



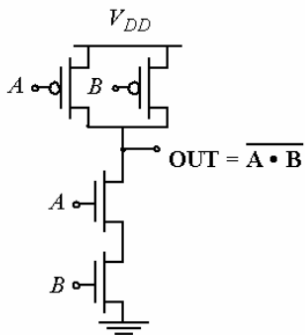
Grupo *sumas* :



13. CMOS: Ejemplo de compuerta lógica 1

A	B	Out
0	0	1
0	1	1
1	0	1
1	1	0

Truth Table of a 2 input NAND gate



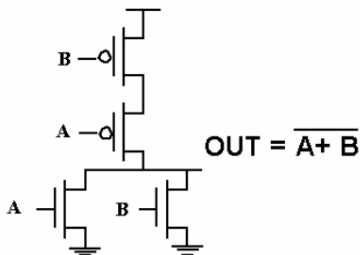
PDN: $G = A B \Rightarrow$ Conduction to GND

PUN: $F = \overline{A + B} = \overline{AB} \Rightarrow$ Conduction to V_{DD}

13. CMOS: Ejemplo de compuerta lógica 2

A	B	Out
0	0	1
0	1	0
1	0	0
1	1	0

Truth Table of a 2 input NOR gate



14. Reglas para síntesis de funciones lógicas

De los ejemplos anteriores podemos desprender una serie de reglas para sintetizar una función lógica:

1. Escribir la función lógica de la siguiente forma: $F(X) = \text{not}(\text{expresión}(X))$. Donde $\text{expresión}(X)$ debe ser una combinación de sumas y productos del conjunto de variables de entrada.
2. La *Red de Pull Down* o *Red N* se puede obtener de la $\text{expresión}(x)$ considerando que los productos de dicha expresión corresponden a transistores N en configuración serie y que las sumas corresponden a transistores en configuración paralelo.
3. La *Red de Pull Up* o *Red P* se puede obtener de forma complementaria a la Red N. Es decir que los productos de variables en $\text{expresión}(X)$ corresponden a transistores P en configuración paralelo y las sumas a transistores a transistores en serie.
4. Finalmente conectar la *Red N* entre GND y el nodo de salida, y la *Red P* entre VDD y el nodo de salida, asignando a la compuerta de cada transistor la variable de entrada

15. CMOS: Ejemplo de problema de síntesis de compuerta

Sintetizar en lógica CMOS estática una compuerta que cumpla la siguiente función lógica:

$$F = \text{not}(A \cdot (B + C) + D)$$

16. CMOS: Solución al problema de síntesis de compuerta

Red N: [D] paralelo [(A) serie (B paralelo C)]

Red P: [D] serie [(A) paralelo (B serie C)]

